

GENERADOR DE VECTORES DE TEST PARA DOCENCIA EN SISTEMAS DIGITALES

M. MARRERO, A. M. ESCUELA y M. DEL AMO.
Departamento de Ingeniería Electrónica y Automática. Escuela Universitaria de Ingeniería Técnica de Telecomunicación. Universidad de Las Palmas de Gran Canaria. 35017-Las Palmas de Gran Canaria. España.

No cabe duda que interpretar un cronograma es entender la descripción funcional de cualquier circuito o sistema digital, desde los más sencillos hasta los más sofisticados. El objetivo de este trabajo es dotar al laboratorio de un equipo que permita al alumno crear, editar y modificar cronogramas con la ayuda de un programa bajo Windows, generándolos de forma controlada con un mínimo hardware conectado al PC del puesto de trabajo.

1. Introducción

Cuando se inicia al alumno en la evolución temporal de los sistemas digitales, aparecen ciertas dificultades para llevar a la práctica esta materia, que si bien en una transparencia o animación gráfica puede ser curiosa, en el laboratorio no resulta fácil, y por su puesto, nada barato visualizarlos (analizadores digitales por puesto de trabajo).

Véase el siguiente ejemplo, el estudio del funcionamiento de una RAM o una EPROM no es complicado y la realización de un montaje con estos elementos puede ser incluso ilustrativa (salida del bus de datos por display o LEDs), sin embargo manejar el número de señales necesarias para que estos sistemas evolucionen acorde a las especificaciones del dispositivo no resulta tan sencillo, es decir, diseñar un ciclo de lectura con un bus de direcciones de 10 líneas (por ejemplo) y las señales de control involucradas (CS, OE, ...) se hace difícil si no se dispone de un equipo microprocesado que lo controle, realizándose la operación en tiempo real (microsegundos o milisegundos).

Se presenta una solución de bajo coste que sorprende por sus prestaciones, mucho mayores de las que se necesita en las asignaturas para las que fue diseñado (*Sistemas Electrónicos Digitales I y II*). La figura 1 describe la concepción del sistema.

2. Descripción del sistema

Crear y definir las señales de estímulos necesarias para verificar el funcionamiento de un diseño no es otra cosa que generar vectores de test. El generador de patrones de test VSD-32 es un equipo capaz de crear y diseñar cronogramas, distinguiéndose en su concepción dos

partes claramente diferenciadas, una "software" que opera bajo entorno Windows 95/98/NT, y otra "hardware" que tiene como base el microcontrolador MC68HC11E1 de Motorola.

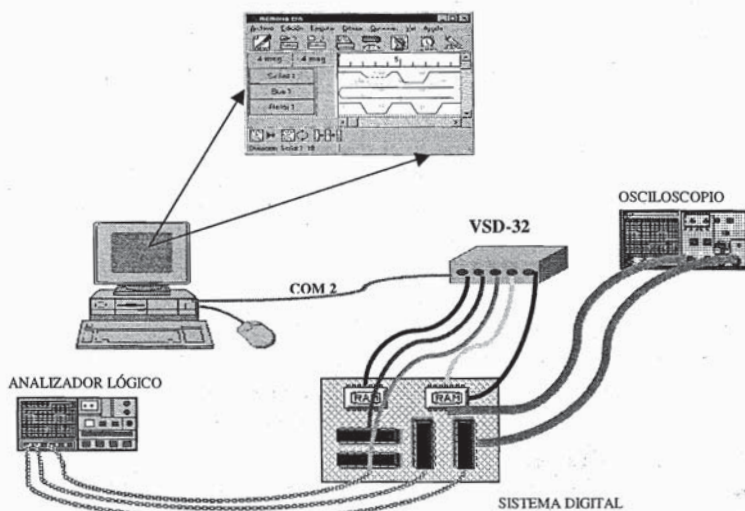


Figura 1: Conexión del VSD-32 en prácticas de sistemas digitales.

La versión del software que se presenta puede manejar 32 líneas de estímulos con un máximo de 2000 transiciones cada una, aunque ambos parámetros son perfectamente escalables. Sin embargo, el hardware desarrollado es un *prototipo* con 8 líneas de salida donde se han realizado las primeras pruebas, éstas pueden ampliarse a 32 sin hacer un rediseño considerable del hardware.

Las frecuencias de reloj que sirven como base de tiempos a los cronogramas son sintetizadas por otro microcontrolador (PIC16C54), programables desde el software ubicado en el PC con rangos comprendidos desde 1Hz hasta 1MHz. El empleo de microcontroladores en el diseño reduce considerablemente el coste, el tamaño y la fiabilidad del equipo.

El programa VSD-32 se ejecuta bajo Windows 95/98/NT/2000 y presenta un entorno que facilita el acceso a todo el diseño del cronograma con un simple *click* de ratón. Se inicia la creación de un cronograma especificando la base de tiempos con la que se va a trabajar (seg, mseg, useg) y a continuación se van creando las señales individuales, señales de reloj donde se disponen de controles para especificar el ciclo de trabajo y buses de distinta longitud (4, 8 y 16 bits). En todas ellas es posible generar el estado de alta impedancia.

La herramienta facilita la modificación de las señales, pues éstas son editables, tanto en la temporización de las mismas como en los parámetros de color, fondo, grosor y tipo de línea. Las señales que se generan de forma cíclica, como las de reloj, permiten la modificación de su

ciclo de trabajo, siempre y cuando no implique partir el mínimo ciclo de reloj definido como base de tiempo al comienzo de la creación del cronograma.

Cada una de las señales en el cronograma puede repetirse en el mismo, ocupando posiciones distintas sin que ello signifique que se duplique el hardware ocupando una línea de más. También es posible, una vez dibujadas las señales, intercambiar el orden de éstas.

Con las señales descritas en la pantalla de la aplicación es posible realizar medidas de retardo entre señales, indicándose éstos como magnitudes diferenciales que aparecen a medida que se colocan los marcadores dispuestos para tal fin.

Una vez acabado el cronograma se guarda el archivo que representa la evolución de las señales digitales, para su posterior recuperación y tratamiento. En pantalla es posible transferir el mapa de transiciones de señales a través del puerto serie hacia el equipo hardware. Se ha realizado por puerto serie y no por puerto paralelo debido a las dificultades existentes en la gestión del puerto LPT1 desde entornos con Windows NT/2000.

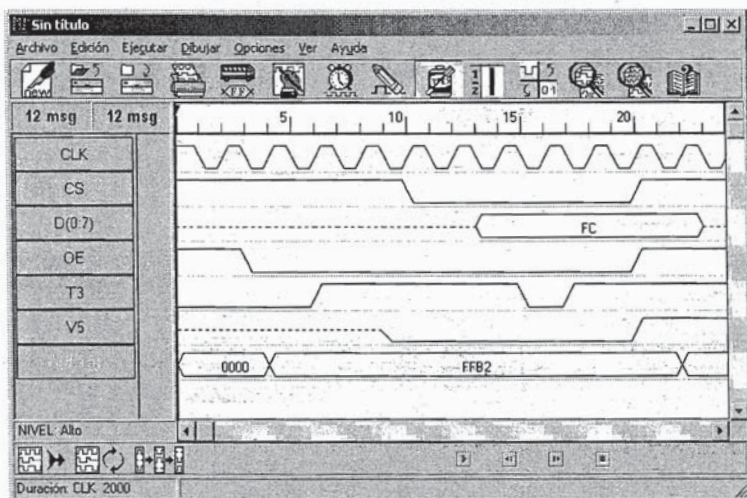


Figura 2: Pantalla principal del editor de cronogramas.

Una vez transferido el cronograma, el usuario dispone de todo el control para generar los estímulos de varias formas:

Modo simple: se marca el comienzo y el fin de una sección del cronograma y se ejecuta de una sola pasada a la base de tiempos especificada.

Modo cíclico: idéntico al anterior, sólo que al finalizar la sección vuelve automáticamente a repetirlo hasta que el usuario lo interrumpe.

Modo paso a paso manual: el usuario marca en el cronograma donde desea comenzar y a continuación a cada clic de ratón el cronograma evolucionará una transición de unidad de tiempo. Existe la posibilidad de desarrollar temporalmente las señales hacia adelante o hacia atrás.

Modo paso a paso automático: prácticamente es igual al anterior pero con la diferencia de que las transiciones se generan automáticamente con un retardo de 1 segundo (este valor puede ser programable).

El hardware asociado a esta aplicación se ha diseñado en torno al microcontrolador 68HC11. En el prototipo, la lógica con la que se han interconectado los distintos elementos (Memorias, PIC, Buffers) se ha realizado con dispositivos discretos. La versión definitiva se implementa con lógica programable (CPLD).

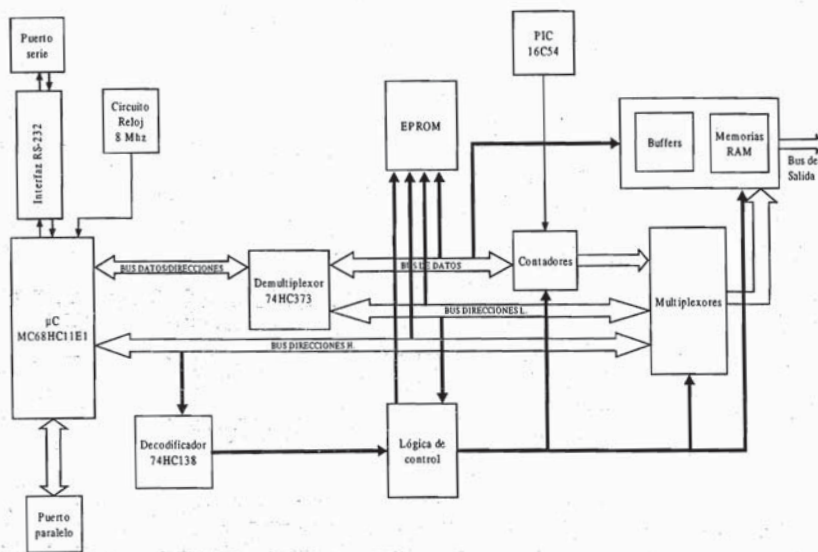


Figura 3: Diagrama lógico del hardware asociado al sistema VSD-32.

3. Conclusiones

El VSD-32 es un experimento que, aprovechando los nuevos soportes informáticos de los laboratorios y el diseño de una sencilla tarjeta con componentes de bajo coste, permite al alumno de *Sistemas Digitales* generar por sí mismo señales digitales no estáticas y verificar sus propios diseños, que podrán ser cada vez más complejos. Este sistema sirve para que el alumno no vea ningún vacío entre la simulación y la imprescindible implementación hardware.

Referencias

- [1] Motorola, *MC68HC11 Programmer's Reference Manual*. Motorola 1996.
- [3] Borland, *Visual Component Library Reference I-II*. Borland International 1997
- [4] Microsoft, *Microsoft HTML Help Workshop*. Microsoft 1998